

바이패스와 디커플링

2010. 6. 8

금 홍 식

한국전파진흥협회

EMC 기술지원센터



EMCCenter

❖ 바이패스(bypass)와 디커플링(decoupling)

- 한 회로에서 다른 회로로의 에너지 전달 방지
- 전원공급시스템(power distribution system)의 품질 향상
- 주목해야 할 회로
 - 전원판(Power plane)과 접지판(Ground plane)
 - 부품(Components)
 - 내부 전원접속(Internal power connections)

❖ 커패시터의 용도

- Decoupling
- Bypassing
- Bulk
- Timinig, 파형정형(wave shaping), 적분, 필터링 등

❖ 디커플링

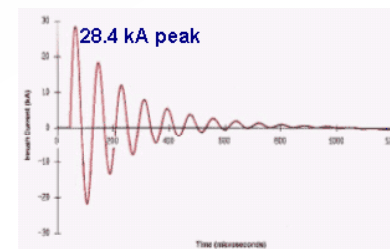
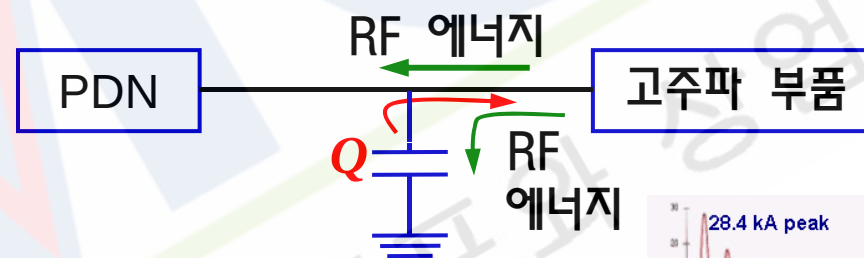
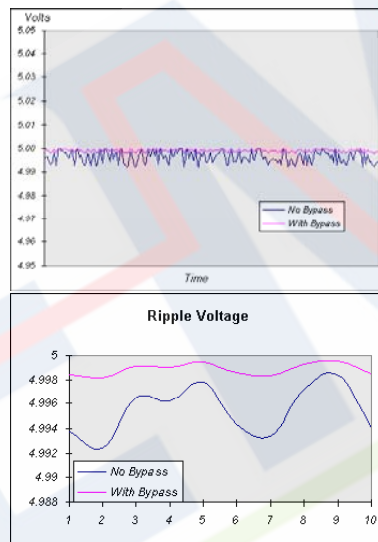
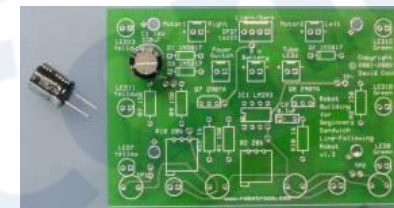
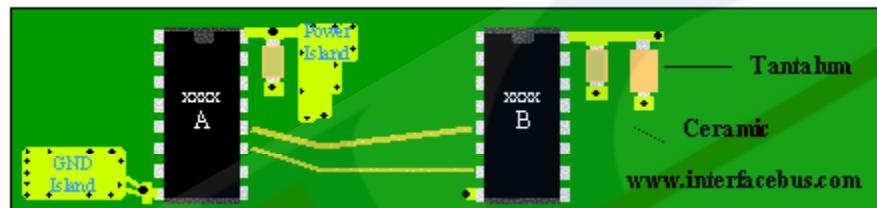
- 고주파 부품에서 전원공급망(Power Distribution Network)으로 공급되는 RF 에너지 제거
 - 부품에 전력을 공급하는 국부전원 역할
 - 기판에서 전파되는 피크 전류서지 감소에 유용

❖ 바이패싱

- 잡음을 돌려보내는 교류경로 형성
 - 부품이나 케이블로부터 불필요한 공통모드 RF 에너지 제거
 - 잡음에 취약한 회로 영역 보호, 필터 기능: 대역폭 제한

❖ 벌크

- 부품에 의하여 발생된 전류서지에 의하여 전압변동 발생 억제
 - 모든 신호핀에 최대 용량성 부하가 연결된 상태에서 이 핀들이 동시에 스위칭 되는 동안 일정한 DC 전압과 전류 유지



5.1 공진



❖ L과 C가 연결된 회로

- 특정 주파수에서 공진
 - 공진주파수 에서 - 가장 작은 임피던스, 교류경로(AC shunt)
 - 공진주파수 이상에서 - 디커플링 효과 감소
 - 커패시터의 임피던스가 유도성이 되므로
- 주파수 선택성이 나타남
 - 특정 주파수의 RF전류를 나머지 주파수 범위보다 더 잘 통과시키거나 반대로 적게 통과 시킴

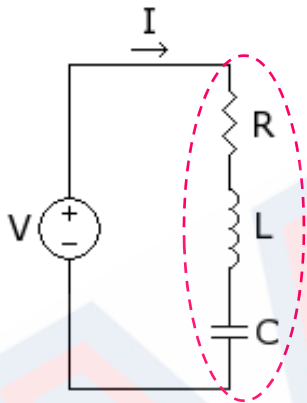
❖ 회로 종류

- 직렬 공진
- 병렬 공진
- 반공진(병렬 C-직렬 RL공진)

5.1 공진



❖ 직렬 공진



$$\begin{aligned}X_L &= \omega L \\X_C &= \frac{1}{\omega C} \\ \omega &= 2\pi f\end{aligned}$$

$$Z = R + j\left(\omega L - \frac{1}{\omega C}\right)$$

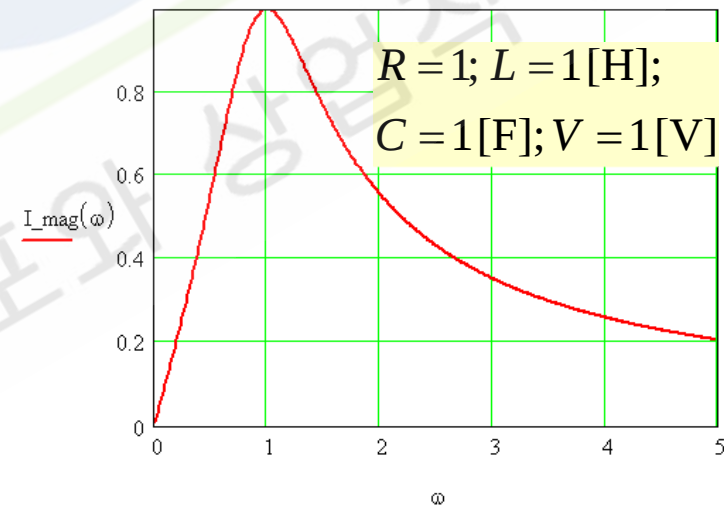
$$\omega L = 1 / \omega C \Rightarrow \omega = 1 / \sqrt{LC}$$

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

– 공진이 일어나면

- 최소 임피던스($\approx R$)
- 최대 전류
- 최대 전력(V) 전달

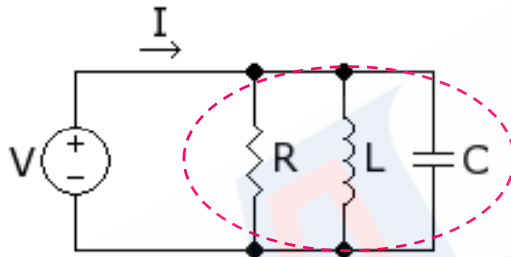
$$I = V / Z$$



5.1 공진



❖ 병렬 공진



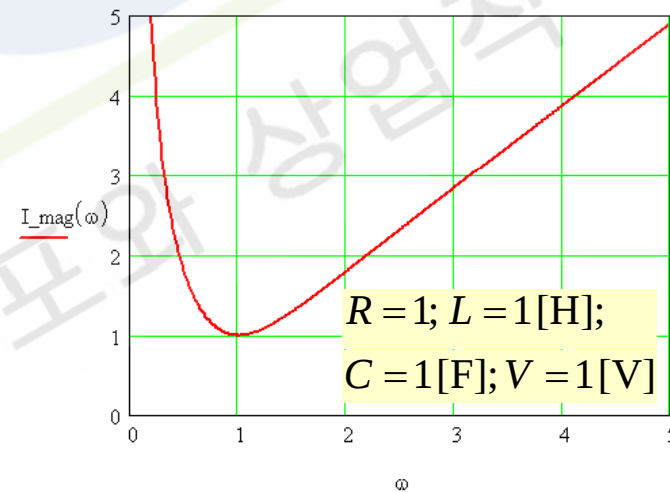
$$Y = G + j\left(\omega C - \frac{1}{\omega L}\right)$$

$$\omega L = 1/\omega C \Rightarrow \omega = 1/\sqrt{LC}$$

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

– 공진이 일어나면

- 최대 임피던스 $Z = 1/Y$
- 최소 전류 $I = YV$
- 최소 전력(V) 전달

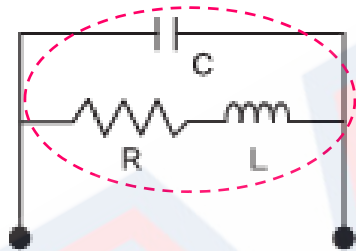


5.1 공진



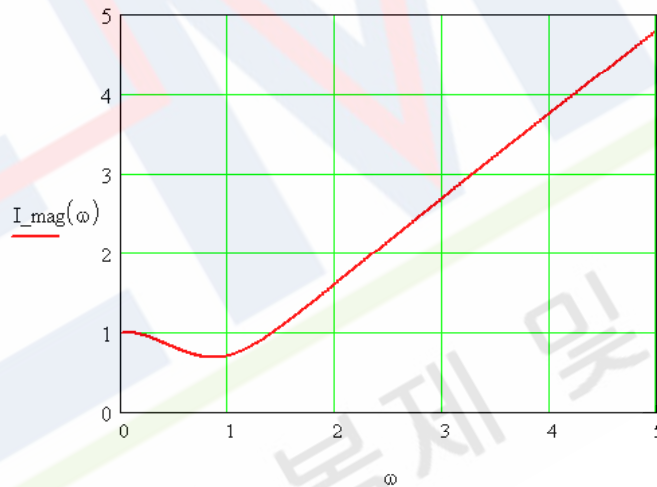
❖ 반공진(Antiresonant circuit)

- 저항이 Q^2R 인 병렬공진 회로와 등가
- C와 L은 반주기마다 에너지를 서로 교환



$$Z = \frac{1}{j\omega C} // (R + j\omega L) = \frac{R + j\omega(L - CR^2 - \omega^2 L^2 C)}{(1 - \omega^2 LC)^2 + (\omega CR)^2}$$

$$L - CR^2 - \omega^2 L^2 C = 0 \rightarrow \omega^2 = 1/LC - R^2/L^2$$



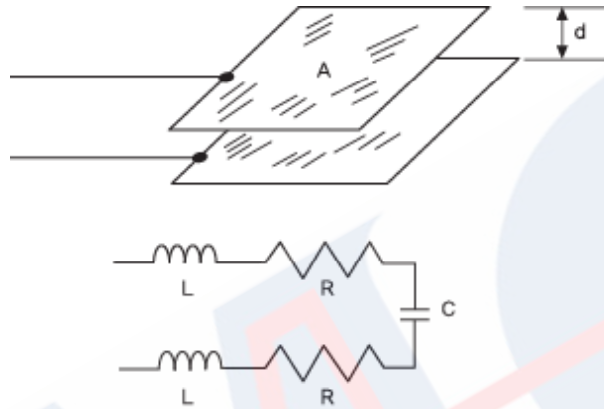
$$\omega_0 = \sqrt{\frac{1}{LC} - \left(\frac{R}{L}\right)^2}$$
$$\approx \frac{1}{\sqrt{LC}} \quad (R \ll \omega_0 L)$$

$$Q = \frac{1}{\omega_0 CR} = \frac{X_C}{R} = \frac{X_L}{R}$$

5.2 물리적 특성



❖ 커패시터 등가회로



$L : \sim 10\text{nH}$ (등가 직렬 인덕턴스; ESL)
=> 리드 길이에 의한 인덕턴스

$R < 1\Omega$ (등가 직렬 저항; ESR)
=> 리드 저항

❖ 임피던스

$$|Z| = \sqrt{R_{ESR}^2 + (X_{ESL} - X_C)^2}$$

R_{ESR} = Equivalent Series Resistance – ESR [Ω], C = Capacitance[F]

L = Equivalent Series Inductance – ESL [H],

$$X_{ESL} = \omega L$$
$$X_C = \frac{1}{\omega C}$$

❖ 공진주파수

$$f_0 = \frac{1}{2\pi\sqrt{LC}}$$

5.2 물리적 특성



❖ 커패시터의 기생성분

- 등가 직렬저항(ESR)
 - C 내부의 저항손실
 - 금속전극의 판 저항, 전극간 접촉저항, 외부 연결점 접촉저항
 - 저항값은 주파수에 비례
 - 고주파수에서의 표피효과 때문
- 등가 직렬 인덕턴스(ESL)
 - 부품 안에서 전류의 흐름을 제한
 - 폭과 길이의 비를 고려해 감소시킴

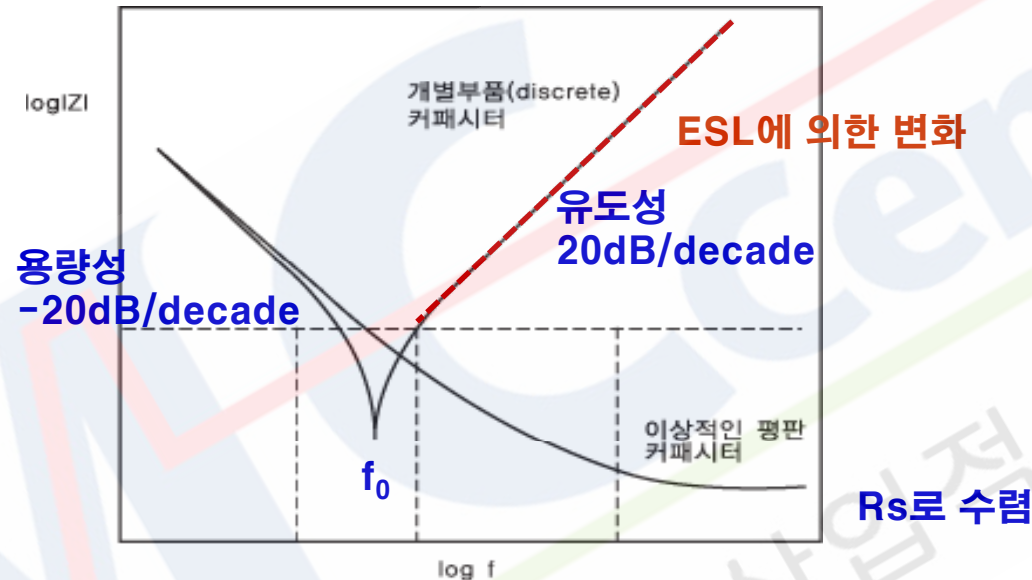
❖ 환경영향

- 온도와 DC 바이어스, 주파수에 따라
 - 유전체의 종류에 따라 커패시턴스 값이 변하는 것도 있음
 - ESR이 변함, ESL은 거의 변화 없음

5.2 물리적 특성



❖ 평판 커패시터의 주파수 응답특성



❖ 이상적 조건

- C : 원하는 주파수에서 낮은 임피던스 값을 나타내도록 큰 값
- L : 높은 주파수에서 임피던스가 커지지 않도록 작은 값
- R_s : 작은 임피던스를 갖도록 작은 값
- PCB에서 부품들에 대하여 낮은 임피던스로 잡음을 디커플링 하는데 **전원판과 접지판 구조가 가장 적당함**

5.2 물리적 특성



❖ 에너지 저장

– 이상적 De-cap

- 논리소자에서 상태의 변화(스위칭)가 발생하는 동안 필요한 모든 전류를 공급할 수 있어야 함
- 급격한 전류 변화에 대응

$$C = \frac{\Delta I}{\Delta V / \Delta t}$$

ΔI = 과도 스위칭 전류

ΔV = 공급전압변화(ripple)의 최대 허용값

Δt = 스위칭시간

5.2 물리적 특성



❖ 자체 공진 주파수(Self-Resonant Frequency)

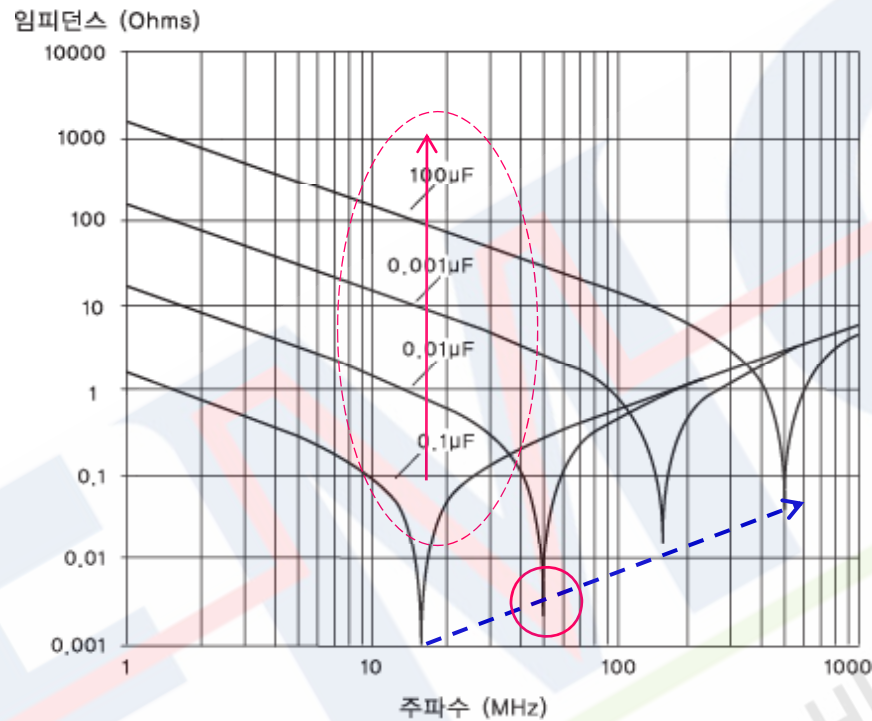
- Cap 선택시, 부품의 논리게열과 클럭속도를 고려하여 SRF결정
 - C값은 회로에서 제공하고자 하는 L값에 따라 선택
- SRF 이전 영역에서 사용되도록
 - 실장시 인덕턴스 증가에 주의
- 요소항목
 - 리드
 - 리드길이 0.1인치 당 평균 2.5nH
 - SMT는 평균 1nH
 - 패키지크기
 - SMT 패키지 크기에 따른 SRF 변화량은 $\pm 2\sim 5\text{MHz}$
 - 허용오차
 - 정확한 C값 필요시 정밀 커패시터 사용(2~5% 범위)

5.2 물리적 특성

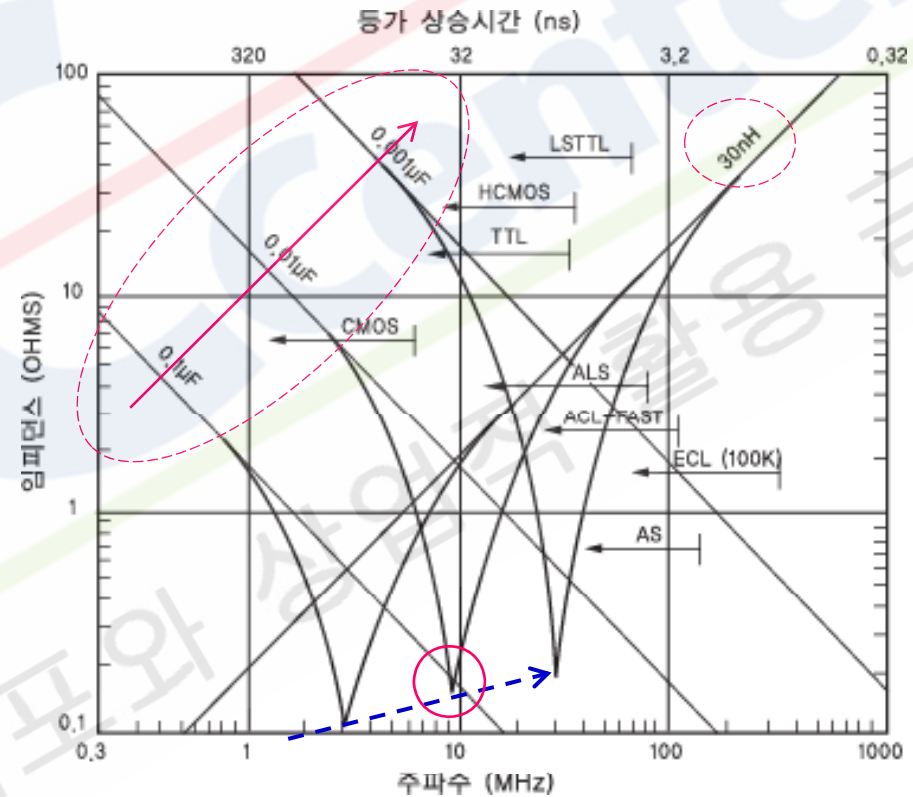


❖ 자체 공진 주파수 특성

SMT 공진주파수-SMT 커패시터



SMT 커패시터의 SRF
(ESL = 1 nH)



커패시터의 SRF 대 논리계열 그래프
보드실장시(trace + lead = 30nH)

5.2 물리적 특성



❖ 전원판과 접지판의 효과

– 다층 PCB 사용의 장점

- 전원판/ 접지판을 서로 가까이 이웃하게 할 수 있음
- 물리적으로 큰 바이패스 커패시터 형성
- 0.1 ~ 10 μ F bulk cap. 필요

$$C = \epsilon \frac{A}{d}$$

– 전원판과 접지판의 구조적 SRF

- 기판에 실장된 디캡 전체의 SRF와 같다면
 - 두 주파수가 만나는 뾰족한 공진점(sharp resonance)이 발생
 - 디커플링 주파수 대역이 더 이상 넓어지지 않음
- **클록 고조파의 주파수와 같다면**
 - 디커플링 효과가 거의 발생하지 않고, PCB는 비의도성 방사기가 됨
- SRF가 다른 de-cap을 추가하여 PCB의 공진점을 변경시켜야 함
 - 전원판/접지판 사이의 간격 조절 (배선층의 임피던스도 변화)
- 일반적으로 다층 PCB의 SRF: 200~400 MHz

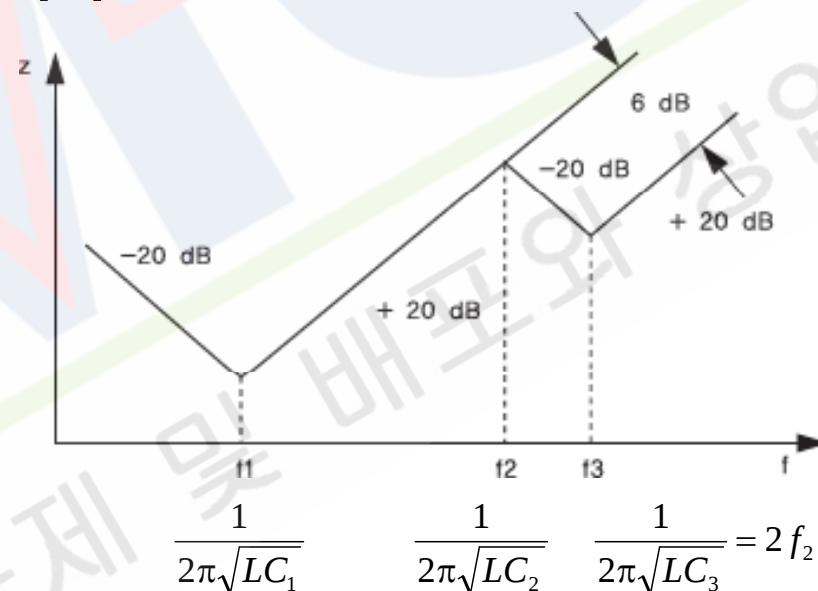
5.3 커패시터 병렬연결



❖ 접지변동을 줄이고, 디커플링 주파수 대역의 확장을 위해서

❖ 다중 de-cap의 효과

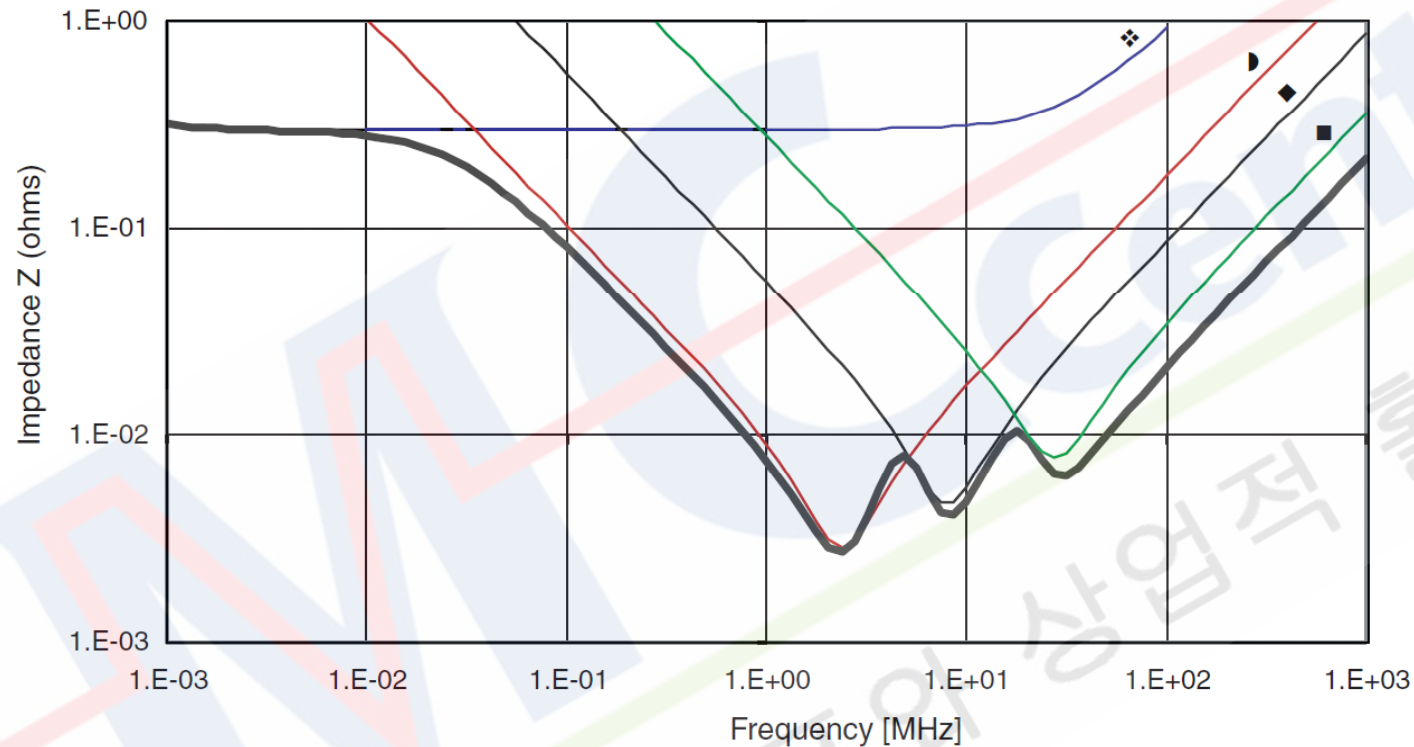
- 큰 값과 작은 값을 갖는 두 개의 커패시터를 병렬로 연결하면
 - 큰 값 하나만 사용시보다 6dB 정도 개선
 - Cap의 병렬연결로 리드 인덕턴스와 부품 자체의 인덕턴스 감소
- 병렬 커패시터의 Bode 선도



5.3 커패시터 병렬연결



Four Values of Parallel Capacitors [ohms]



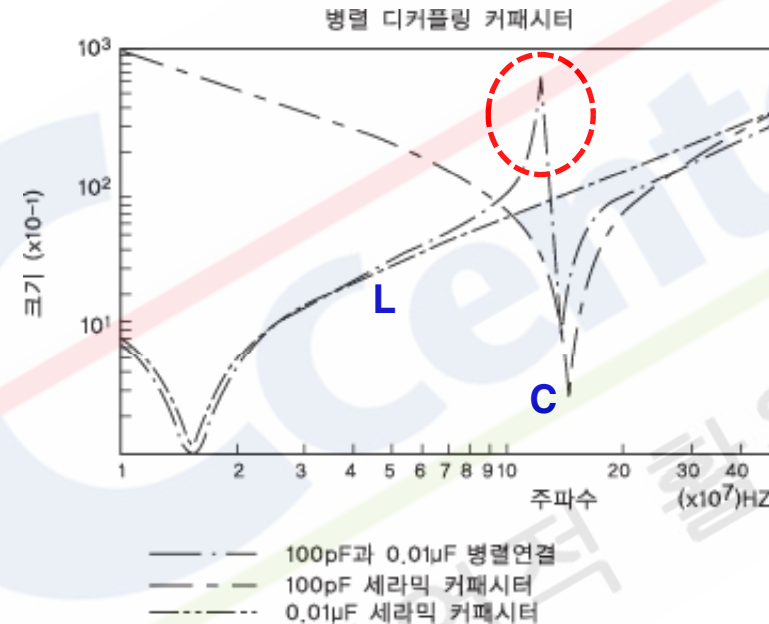
Quantity	Symbol	Package	Capacitive Values (μF)	Parasitic Inductance (nH)	Parasitic Resistance (ohms)
2	❖	E	680	2.8	0.57
7	▶	0805	2.2	2.0	0.02
13	◆	0603	0.22	1.8	0.06
26	■	0402	0.022	1.5	0.20

5.3 커패시터 병렬연결



❖ 병렬 커패시터의 공진

- 반공진 주파수 발생
 - L과 C 공존에 의한 공진



❖ 병렬 설계

- 두 De-cap의 값이 100배 정도 차이가 나도록 해야 함(0.1u, 1n)
- 병렬 리액턴스가 중요 항목; 리드 인덕턴스를 줄일 수록 좋음
- 한 개의 de-cap만 사용해도 좋음(리드 인덕턴스 줄일 시)
- 자체 인덕턴스를 크게 줄인 cap 사용

5.4 전원판과 접지판 커패시턴스



❖ 구조체 커패시턴스

- 전원판/접지판은 ESL이 매우 작고 ESR이 없는 커패시터
 - 판의 인덕턴스 $\ll 1\text{nH}$
- de-cap을 달지 않고도, 높은 주파수에서 RF 에너지 감소
- 커패시턴스 =
판사이 유전체의 두께, 유전율, 두 판의 위치(거리)에 따라 결정
 - Buried capacitance로 발전(200~300MHz까지 디커플링)

$$C = \frac{\epsilon_0 \epsilon_r A}{d} = 8.85 \frac{\epsilon_r A}{d} [\text{pF}]$$

ϵ_r = 유전체의 상대유전율(F/m)

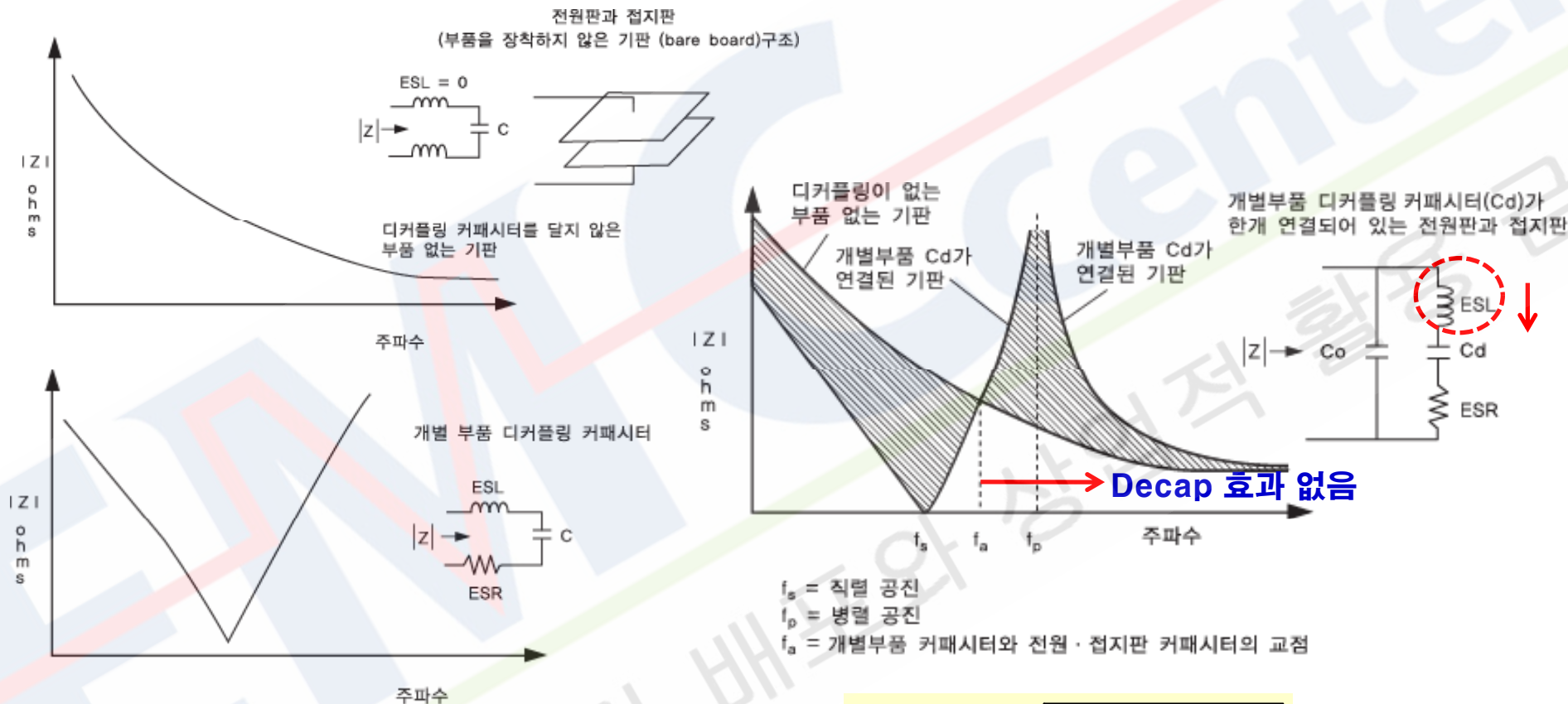
A = 평행판의 면적(m²)

d = 평행판의 길이(m)

5.4 전원판과 접지판 커패시턴스



❖ 커패시터가 달려있는 전원판/접지판의 디커플링 효과



$$f_a = f_s \sqrt{1 + \frac{nC_d}{2C_0}}$$

5.5 리드 길이 인덕턴스



❖ 신호 trace 인덕턴스와 리드 인덕턴스가 더해지면

- 부품의 접지핀과 시스템 접지판 사이에 큰 임피던스 부정합 발생
 - 트레이스 임피던스 부정합으로 인하여 두 소스 사이의 전압강하가 발생 > RF 전류가 흐름 > RF방출
- 리드 인덕턴스, via-hole, via-hole과 부품핀을 연결하는 트레이스의 인덕턴스를 감소시킬 수 있도록 de-cap 배치

❖ 좋은 디커플링용 커패시터

- 온도안정성, 유전율, ESL과 ESR, 자체공진주파수 항목 우수
- 표면실장 커패시터
 - $ESL < 0.1 \text{ nH}$
 - $ESR < 0.5 \text{ ohms}$

5.6 배치 – 전원판



❖ 전원판

- 적어도 한 쌍 이상 배치
 - 전원판/접지판 구조는 인덕턴스 성분이 작은 커패시턴스로 작용
- 서로 가까이 이웃도록 배치
 - 자기장 상쇄
 - 부품의 전력변동에 의하여 발생하는 RF 전류와 전원판/접지판으로 흘러 들어가는 잡음을 디커플링
- 다중접지 연결방식
 - 접지판과 새시를 여러 군데에서 서로 연결하여 전압 변동 억제
 - Card cage 방식일 경우 접지, 루프 설계주의
- 영상판(image plane)이 되도록
 - 신호판에 바로 이웃한 균일한 금속판(접지판 혹은 전원판)
 - PCB 안에서 발생한 공통모드 RF 전류를 제거하려면 모든 신호배선 판은 영상판에 아주 가깝게 존재

5.6 배치 – 디커플링 커패시터



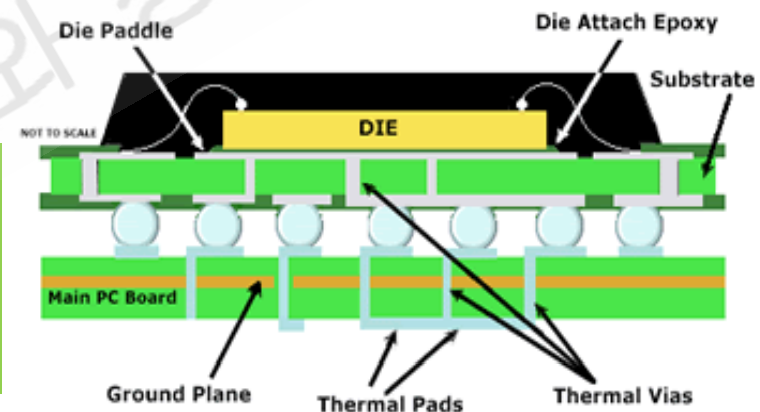
❖ PCB구조 이해

- 전원과 접지 사이에 루프를 최소화
- PCB 구조의 임피던스 최소화
 - PCB의 저항 성분과 유도성 성분을 감소시키기 위하여 균일한 평면(solid plane) 사용
 - 부품에 의하여 발생하는 인덕턴스를 최소화시키기 위하여, SMT, ball grid arrays (BGA), flip chips 종류의 부품을 사용
 - 부품 패키지 안의 칩에서 PCB의 패드까지 연결선의 길이가 감소되므로, 전체 임피던스 감소



Advantages of BGA

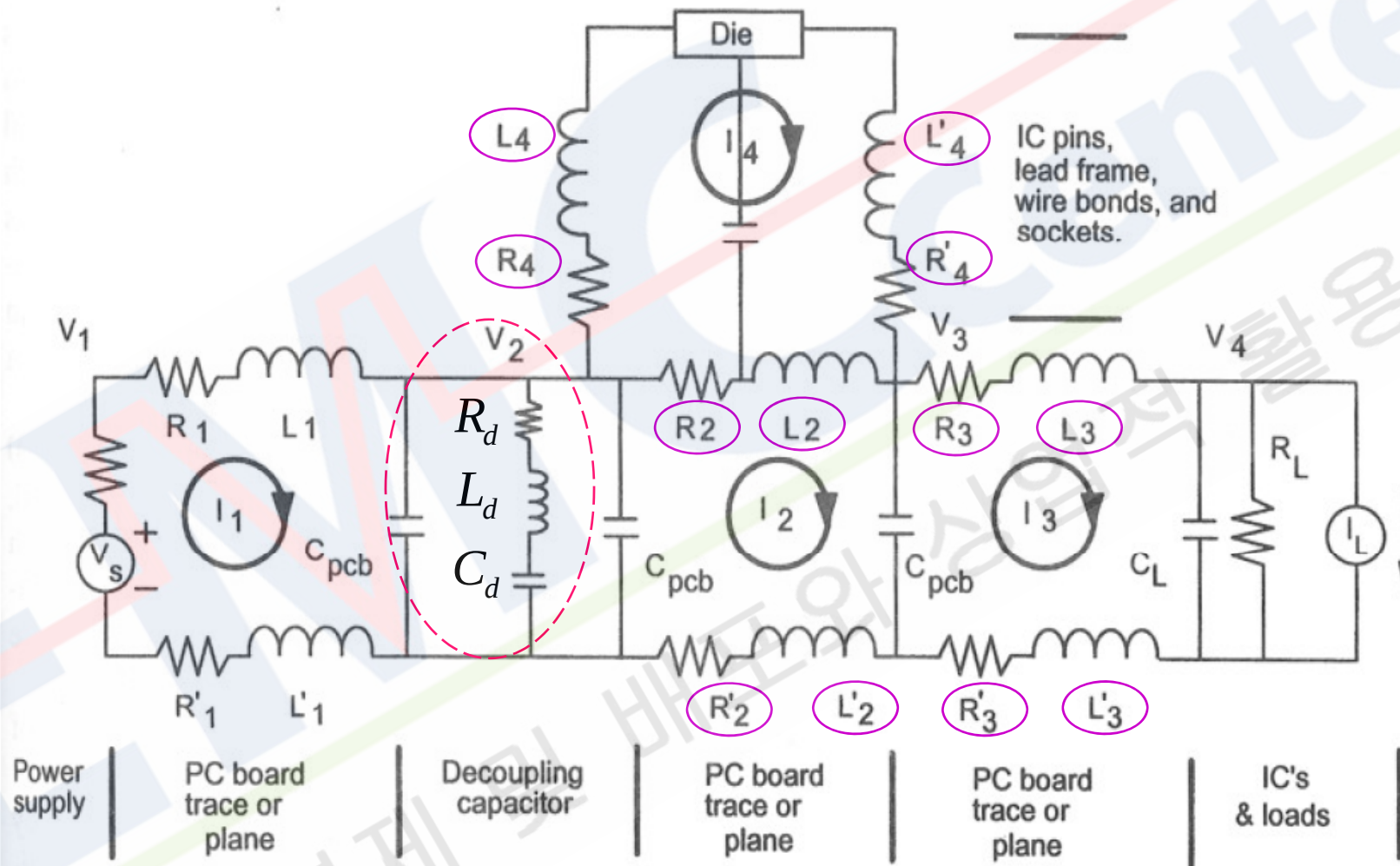
- High density
- Heat Conduction
- Low Inductance leads



5.6 배치 – 디커플링 커패시터



❖ 실제 PCB 등가회로



5.6 배치 – 디커플링 커패시터



❖ EMI 발생은 루프의 구조와 주파수에 따라 변화

- PCB에 존재하는 페루프의 면적을 최소화
- Faraday's law of electromagnetic induction :

- E is the electromotive force (emf) in volts
- Φ_B is the magnetic flux in webers

$$E = -\frac{\partial \Phi_B}{\partial t}$$
$$\Phi_B = \iint \underline{B} \cdot d\underline{S}$$

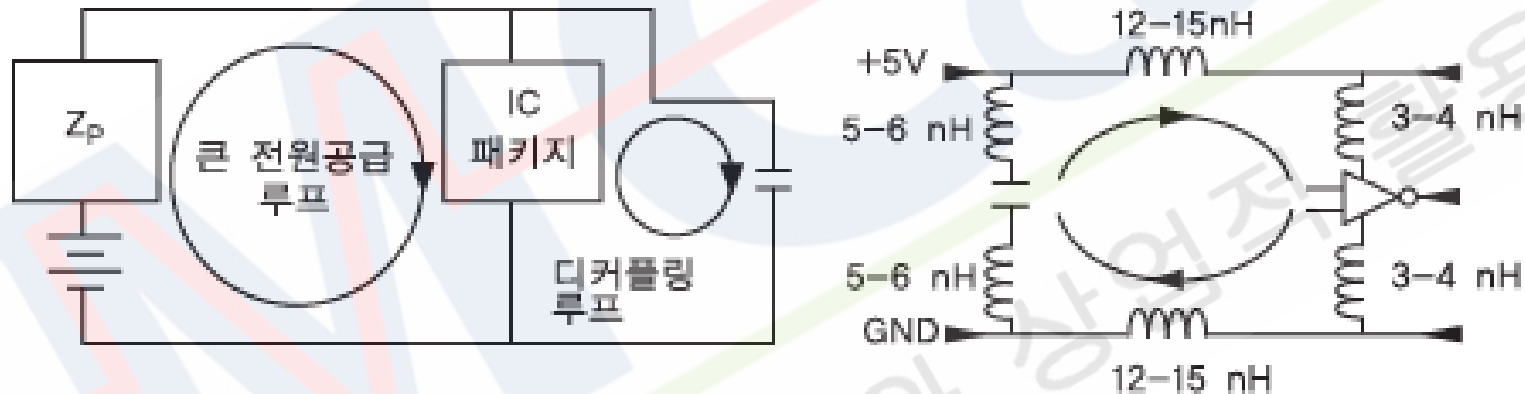
- IC의 전원핀 바로 옆에 전류를 충방전하는 국부 de-cap Cd를 배치하면, 루프 면적을 작게 할 수 있음
- 임피던스_디커플링 루프 << 임피던스_나머지 부분
 - 트레이스와 부품에 의하여 발생한 고주파 RF 에너지의 대부분이 임피던스가 낮은 페루프에만 남게 되어 EMI 방출이 적음

5.6 배치 – 디커플링 커패시터



❖ PDS에서, 루프 임피던스 < 나머지 부분의 임피던스

- 일부 고주파 RF 성분이 다른 큰 루프로 전달되거나 결합될 수 있어서, RF 전류가 발생되어 EMI 방출



❖ De-cap의 또 다른 기능

- 국부적으로 에너지를 저장하여, 전원공급기의 방사 루프를 감소

5.6 배치 – 디커플링 커패시터



❖ De-cap 사용

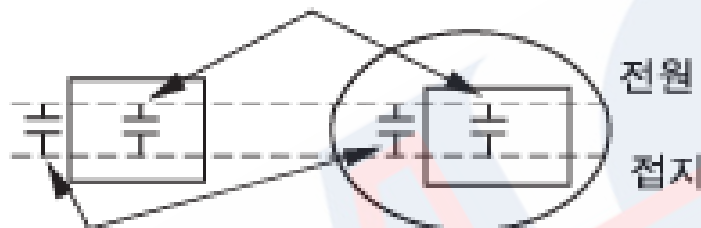
- 리드길이를 줄이고, 가능한 부품과 가깝게 연결
- 에지율이 2 ns보다 빠른 부품들에는 de-cap 연결
 - CMOS, ECL, 다른 고속 논리계열에는 전원판/접지판 구조를 사용하며, 여기에 de-cap도 함께 배치
- PCB전체에 1인치 격자구조로 de-cap 배치
 - 부품밀도가 높을 때, 전체 디커플링 효과 및 공진방지(1n~30p)
- VLSI와 고속부품에는 de-cap 병렬로 연결
- 단면기판과 양면기판 에서도 de-cap연결할 때 접지루프가 작아지는 방법을 고려
 - 상대적으로 다층기판에서는 de-cap을 부품의 전원핀 부근의 어느 곳에 배치해도 됨
 - 그러나, PCB가 RF를 더욱 많이 발생할 수도 있음

5.6 배치 – 디커플링 커패시터

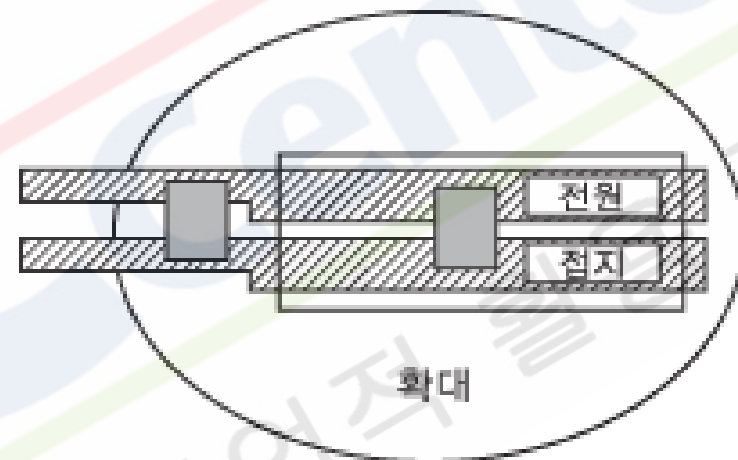


❖ 양면기판에서 de-cap 연결방법

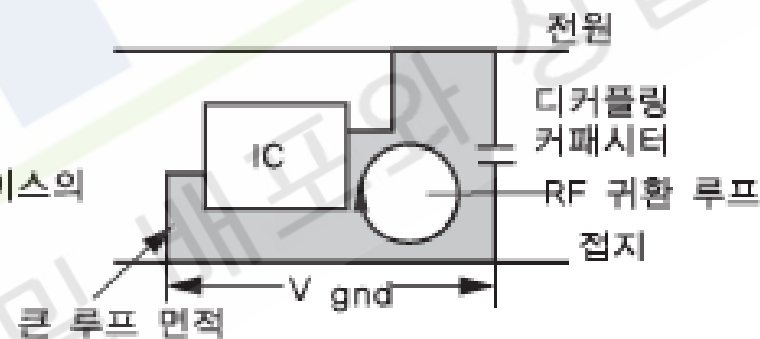
전원핀/접지핀이 중간으로 배치되어 있는 부품에 가장 좋은 커패시터의 연결위치



전원핀/접지핀이 서로 반대편으로 배치되어 있는 부품에 가장 좋은 커패시터의 연결위치



단면과 양면 PCB에서 권장하는 전원/접지 트레이스의 좋은 레이아웃 방법



단면과 양면 PCB에서 전원/접지 트레이스의 좋지 않은 레이아웃 방법

5.7 De-cap의 선택



❖ 클럭 부품의 스위칭에 의해 생긴 RF 잡음을 줄이기 위해

- 벌크 커패시터 필요
 - 탄탈(tantalum), 고주파 세라믹 커패시터
 - 알루미늄 전해 커패시터(Aluminum electrolytic capacitors)
 - 고주파 디커플링에는 효과 없음, PDS 또는 전원선의 필터링에 적합
- 표면실장부품(SMD)는 리드 인덕턴스가 작으므로 다른 종류의 커패시터보다 100배 정도 높은 SRF를 갖음
- 자체 공진주파수는 줄여야 할 주파수보다 높아야 함

❖ SRF 고려

- 줄이고 싶은 클럭이나 프로세서의 고조파에 대해 de-cap 선택
 - 보통 1 고조파 선택, ~5 고조파까지 고려
- 에지율 < 2 ns → 커패시터 선택: $SRF = 10 \sim 30 \text{ MHz}$
 - PCB의 $SRF = 200 \sim 400 \text{ MHz}$

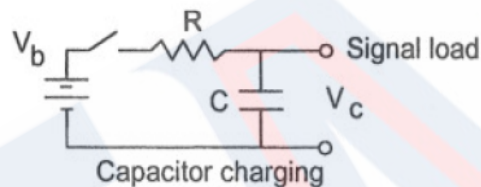
5.7.1 커패시터 값의 계산



❖ Trace를 흐르는 DM전류제한

- I/O회로, 커넥터에 사용
- 커패시터에 의한 출력 신호 에지의 슬루율 (slew rate) 변경

전형적인 클록 신호
(링잉이 없는 가장 좋은 경우)



Charging
 $V_c(t) = V_b(1 - e^{-t/RC})$

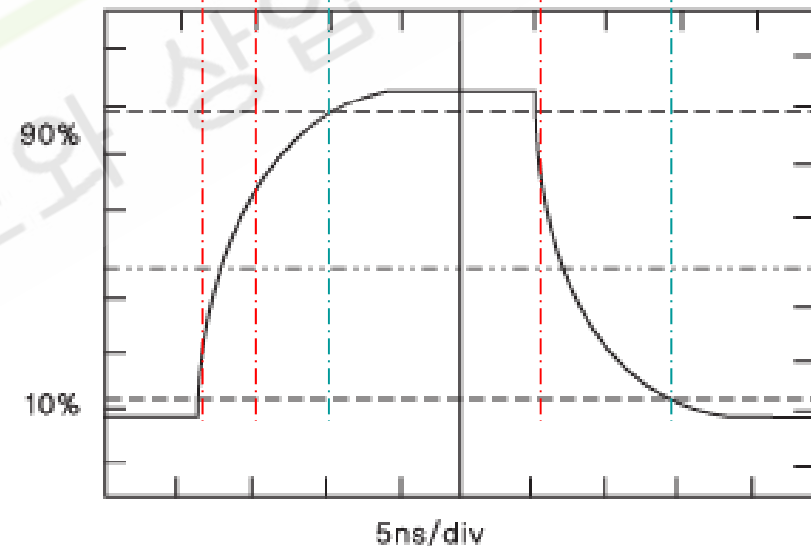
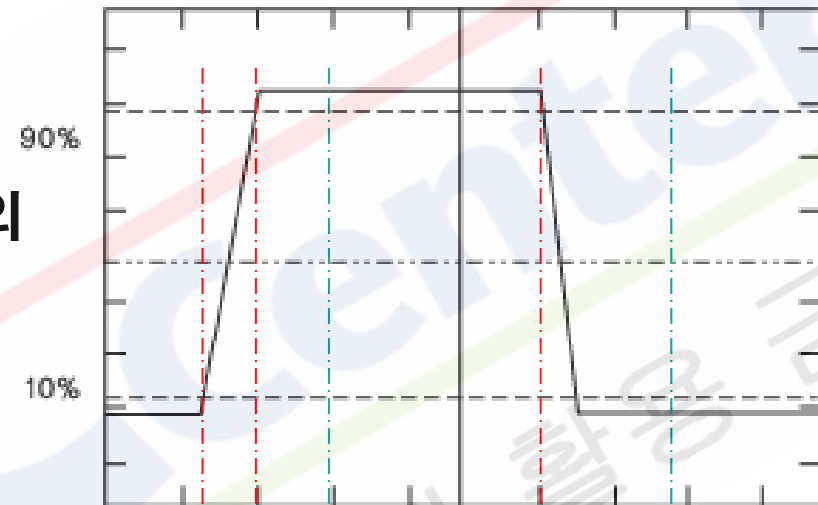
Discharging
 $V_c(t) = V_b e^{-t/RC}$



$$I(t) = \left(\frac{V_b}{R}\right) e^{-t/RC}$$

$$I(t) = \left(\frac{-V_b}{R}\right) e^{-t/RC}$$

용량성 성분이 연결된
클록 트레이스



5.7.1 커패시터 값의 계산



❖ 클럭신호의 에지율로 부터

$$t_r = kR_t C_{\max} = 3.3 \times R_t \times C_{\max}$$

$$C_{\max} = \frac{0.3t_r}{R_t}$$

t_r = 신호의 에지율[ns], R_t = 회로 전체 저항

$C_{\max}$ = 사용 커패시턴스 최대값[nF], k = 시정수의 배수

❖ 제거 잡음의 최대 주파수로 부터

$$C_{\max} = \frac{100}{f_{\max} \times R_t}$$

$$\frac{1}{2\pi f_{\max} \frac{C}{2}} \geq 3 \times R_t$$

$C_{\max}$ = 사용 커패시턴스 최대값[nF], f = 제거할 최대 주파수[MHz]

5.7.1 커패시터 값의 계산



❖ 바이패스 커패시터 사용 준수사항

- 에지울을 느리게 하여도 된다면 현재의 **커패시턴스 값을 증가시킴**
- 사용 목적에 맞도록 커패시터의 **전압정격(voltage rating)**과 **유전체의 종류를 적절히 선택**
- **허용오차가 적은** 커패시터를 선택; 특히, 고속신호용
- **리드 길이와 트레이스 길이를 가능한 짧게** 하여 커패시터 연결
- 커패시터를 연결하여도 회로가 기능적으로 문제없이 동작하는지 **확인**

5.8 벌크 커패시터의 선택



❖ 벌크 커패시터 용도

- 부품에 최대 부하가 연결된 상태에서 모든 신호들이 동시에 스위칭될 때 필요한 DC 전압과 전류 공급
- 회로 동작에 필요한 최적의 전압과 서지 전류 조건을 유지할 수 있도록 에너지 저장
 - 전류변동에 의한 전압강하(변동) 방지
 - 스위칭 부품은 PDS에 전류변동을 발생시키는데, 이 전류변동에 의하여 전압강하가 발생하여 부품이 제대로 동작하지 못하게 됨
- DC전원과 RF성분 모두를 고려하기 위해
 - SRF가 높은 de-cap과 bulk-cap(보통은 탄탈)을 함께 사용

5.8 벌크 커패시터의 선택



❖ LSI, VLSI 부품 두 개마다 한 개씩 아래 위치에 사용

- 전원공급기의 전원을 PCB에 전달하는 **전원입력 커넥터**
- 어댑터 카드, 주변장치, 보조회로, 그 밖의 소형회로와 연결되는 **I/O 커넥터의 전원공급단자**
- **전력을 소비하는 회로나 부품의 근처**
- **입력 전원 커넥터에서 가장 멀리 떨어진 곳**
- **DC 입력 전원 커넥터로부터 멀리 떨어진 고밀도 부품이 있는 곳**
- **클록 발생 회로와 리플에 영향을 받기 쉬운 부품 근처**

❖ 벌크 커패시터 전압정격

- **정상 동작전압의 2배**
- **전압서지에 의해 파괴되지 않도록**

5.8 벌크 커패시터의 선택



❖ 선택 방법

1. 최대소비전류 ΔI 를 예상

$$\Delta I = nC \frac{V}{\Delta t}$$

2. 최대허용 공급전원잡음 ΔV 값을 결정(안전율 고려)

3. 최대 공통경로 임피던스 계산

$$Z_{cm} = \Delta V / \Delta I$$

4. 전원공급배선이 제대로 동작하는 최대 주파수 계산

$$f_{ps} = \frac{Z_{total}}{2\pi L_{cable}} = \frac{Z_{cm} + L_{cable}}{2\pi L_{cable}}, L_{cable} : \text{전원공급기와 기판을 잇는 케이블의 임피던스}$$

5. 스위칭 주파수가 이 값보다 높으면 벌크 커패시터 필요함

$$C_{bulk} = \frac{1}{2\pi f_{ps} Z_{total}}$$

➤ 주로 10 ~ 100uF 범위의 값 사용

Ex. PCB에 200개의 CMOS gate가 있다. 각 gate 핀에는 5pF의 부하가 달려 있고, 핀의 스위칭 시간은 2ns이다. Gate에 연결된 전원공급회로망의 인덕턴스는 80nH이다.